

## 明細書

## 半導体装置およびその製造方法

## 5 技術分野

本発明は半導体装置およびその製造方法に関する。より詳細には、複数の半導体チップが1つの電子部品として組み立てられている、いわゆるマルチチップモジュール（MCM；Multi-Chip Module）技術を適用した半導体装置およびその製造方法に関する。

## 背景技術

電気製品の小型、軽量、低消費電力化といった要求に応えるため、半導体素子の高集積化技術とともに、これらの半導体素子を高密度に組み付ける実装技術も展開してきている。そのような実装技術のうち、さらなる高密度実装を実現するため、多層配線支持基板やベアチップ実装などに加え、複数の半導体素子（半導体チップ）を予め1つの電子部品として同一の支持基板に搭載して実装するMCM技術が開発されている。このMCM技術は、1つの基板上に2つ以上の半導体チップを組み込むことで、実質的な多機能化を実現している。

MCM技術を用いた半導体装置では、支持基板上に同一もしくは異なる機能を有する複数の半導体チップを搭載するが、各半導体チップ上には、それぞれの機能素子が形成された内部回路（コア部）と、各内部回路から引き出された外部接続回路（いわゆるインタフェース回路）と、外部接続回路に接続された電極パッド

が設けられる。そして、各半導体チップは、電極パッド間に設けられた配線によって接続される。電極パッドは、チップ間接続だけでなく、機能検査時の針当てにも使われる。

このようなMCM型の半導体装置では、複数の半導体チップの機能が1つの半導体チップ内に作り込まれたシステムLSI型の半導体装置と比較して、同程度の高機能化を実現しながらも、設計工程およびウエハ工程が簡略化されるため、歩留まりや製造コスト、さらにはTAT (Turn Around Time) の短縮化と言った点で有利である。

ところが、従来のMCM型の半導体装置においては、複数の半導体チップの内部回路間を接続する際、一旦内部回路からの信号ラインを外部接続回路まで引き出し、その後他方の半導体チップに設けられている外部接続回路と接続するようにしている。このため、外部接続回路による消費電力とこれに起因した半導体装置内における発熱量の増加により、信頼性低下が問題となる。また、外部接続回路が面積的に無駄であるという問題もある。

また半導体チップ内で、内部回路から外部接続回路まで配線するので、チップ内部の信号の発生地点とチップ外部への信号の伝達先との間の配線がかなり迂回することになる場合があり、チップ面積の無駄や、信号の伝達速度の低下、すなわち高速動作が困難になるという問題が生じる。

このような問題を解決する一手法として、たとえば、特開平7-153902号公報に記載のように、複数の半導体チップのうち少なくとも一方についてはコア部のみとし、このコア部と外部の機器や他のチップとを接続するというように、チップ外部との接続のために搭載されている外部接続回路を切り離す技術が提

案されている。この技術により、チップ面積の無駄を防止するとともに、高速動作が可能で、かつ低消費電力化が可能になる。

しかしながら、この特開平 7 - 1 5 3 9 0 2 号公報に記載の技術では、コア部と外部の機器や他チップとを接続することに起因して、外部機器（一方の半導体チップに対する他方の半導体チップを含む）との接続の際に接続配線（ボンディングワイヤ）を使う場合には、半導体チップに帯電した電荷がチップ間の信号ラインに流れ込むことによって、チップ内部回路に用いる素子の特性が劣化したり破壊されたりする（纏めて静電気ダメージともいう）場合があることが分かった。

また、バンプ（Bump；突起電極）を使ってチップ間の接続を取るフリップチップ方式や T A B（Tape automated bonding）方式の場合には、バンプをチップ表面に形成する際のプラズマダメージにより、チップ内部回路に用いる素子の特性が劣化したり破壊されたりする（纏めてプラズマダメージともいう）ことがあることも分かった。

これらの静電気ダメージやプラズマダメージの問題は、M C M の信頼性や歩留まりを悪化させる原因となるので問題である。

本発明は、上記事情に鑑みてなされたものであり、高速動作が可能で、かつ低消費電力化が可能であるとともに、M C M の信頼性や歩留まりの低下を防止することのできる M C M 型の半導体装置およびその製造方法を提供することを目的とする。

#### 発明の開示

本発明に係る半導体装置は、複数の半導体チップのそれぞれに形成されている内部回路同士を接続する信号ラインを電氣的に

直接に接続されているものとするとともに、内部回路同士を接続する信号ラインの、前記接続に関わるダメージからチップ上の半導体素子を防止するための第 1 の保護回路を設けるようにした。

5      なお、完成した半導体装置の形態としては、共通の支持基板（インタポーザやマザーボード）上に複数の半導体チップが平面上に隣接して並べられて搭載された形態に限らず、複数の半導体チップを積み重ねた状態（フェイスダウン実装）のものであってもよい。後者の場合、実質的には、一方を他方の支持基板として用いたようになり、インタポーザを別途用意する必要がなく、インタ  
10   ポーザ用のコストが掛からない低コストな M C M 装置を実現できる。

本発明に係る半導体装置の製造方法では、先ず、内部回路と、他方の半導体チップ上の内部回路との間での電気的かつ直接的な接続に関わるダメージから内部回路内の半導体素子を防止す  
15   るための第 1 の保護回路とを搭載した状態で、複数の半導体チップについてそれぞれ、内部回路の機能検査を行なう。

この後、少なくとも第 1 の保護回路を搭載した状態のままで、双方の内部回路間の信号ラインを電気的に直接に接続する。接続手法としては、たとえばボンディングワイヤーやバンプを利用す  
20   るとよい。

なお、半導体チップにおける前述の接続の対象となる部分（接続対象部分）に外部接続回路が形成されている場合には、この接続対象部分の外部接続回路における少なくとも一部を信号ライン（つまり内部回路側）から電気的に切り離した後に、双方の内  
25   部回路間の信号ラインを電気的に直接に接続するようにするとよい。

この切離しの手法としては、たとえばレーザブローや R I E (reactive ion etching) などのドライエッチングを利用して、内部回路との間の信号配線のみを切断する方法や、接続対象部分の半導体チップ部分を物理的に切断除去（切り離す）する方法を用いることができる。こうすることで、接続対象部分については、  
5 外部接続回路の全体もしくは一部を使用しないようになるので、消費電力を抑えることができるし、信号遅延の問題を防止することもできる。

双方の内部回路間を直接に接続する信号ライン上に設けられる第 1 の保護回路は、複数の半導体チップのうち少なくとも一方、  
10 好ましくは双方のチップ上において、他方の内部回路との接続部分と当該半導体チップ上の内部回路との間の信号ライン上に配置するのがよい。

また、外部接続回路が外部機器との接続時におけるダメージから半導体素子を保護する第 2 の保護回路を備えている場合、前述  
15 の内部回路間を直接に接続する信号ライン上に第 1 の保護回路を設ける。事実上、第 1 と第 2 の保護回路とが別々に設けられる。

なお、第 1 の保護回路は、チップ双方の内部回路間を直接に接続する際のダメージを保護することを目的とするものであるから、その保護能力は、その目的を達成するに足りるだけの保護能力を有していればよい。外部機器との接続や機能検査などに使用  
20 される外部接続回路内にも接続時のダメージから半導体素子を保護する目的で第 2 の保護回路が設けられることがあるが、第 1 の保護回路の保護能力は、この第 2 の保護回路の保護能力と同じ  
25 である必要はない。

また、第 1 の保護回路は、チップ双方の内部回路間を直接に接

続する際のダメージを保護することを目的とするものであるから、接続工程終了後には不要なものである。また、信号ライン上にこの保護回路が存在すると信号ライン上に配された負荷となるので、むしろない方が好ましい。

- 5        よって、接続工程終了後には、この第 1 の保護回路を信号ラインから電氣的に切り離すようにするのがよい。この切離しの手法としては、たとえばレーザブローや R I E などのドライエッチングを利用することの他に、入出力間をオンオフ可能な切替回路を使用して、接続工程時にはオンさせることで保護回路を機能させ、
- 10        接続工程終了後はオフさせることで第 1 の保護回路を信号ラインから切り離すようにしてもよい。

      なお、この切替回路も信号ラインの負荷となり得るので、デバイス回路設計時には、保護回路および切替回路の各回路構成と、それらの信号ラインに対する負荷とを考慮して、切替回路を設ける

15        ことが好ましいのか否かを判断するのがよい。

      本発明の上記構成に依れば、内部回路間を電氣的に直接に接続することで、外部接続回路を介して接続する場合よりも、電力消費が防止されるとともに、動作遅延が防止され、高速動作が可能な装置にすることができる。

- 20        加えて、内部回路間を電氣的に直接に接続している信号ライン上に、回路間を接続する際の静電気やプラズマによるダメージからチップ上の半導体素子を保護する保護回路を設けるようにしたので、内部回路間を電氣的に直接に接続する際や接続用の突起電極を形成する際、それらのダメージから素子を保護することが
- 25        可能となり、M C M 装置の信頼性や歩留まりの低下を防止することができる。

つまり、小型化、低消費電力化、あるいは高速化を目的として外部接続回路の全部もしくは一部を内部回路側から切り離して、複数の半導体を搭載したMCM型の半導体装置を製造するようにしても、内部回路間を直接に接続する信号ライン上に保護回路を備えることで、小型化、低消費電力化、あるいは高速化を達成するのと同時に、MCMの信頼性向上と歩留まりの向上をも可能にできる。

#### 図面の簡単な説明

10 第1図は、本発明を適用した半導体装置の第1実施形態を示す平面図である。

第2A図乃至第2C図は、外部接続回路の一構成例と、チップ間接続部におけるチップ内部回路間の接続手法を説明する図である。(その1)

15 第3A図乃至第3C図は、外部接続回路の一構成例と、チップ間接続部におけるチップ内部回路間の接続手法を説明する図である。(その2)

第4A図乃至第4C図は、第1実施形態の半導体装置1の製造方法を説明する図である。

20 第5A図乃至第5B図は、本発明を適用した半導体装置の第2実施形態を説明する図である。

第6A図乃至第6B図は、本発明を適用した半導体装置の第3実施形態を説明する図である。(その1)

25 第7A図乃至第7B図は、本発明を適用した半導体装置の第3実施形態を説明する図である。(その2)

第8図は、本発明を適用した半導体装置の第4実施形態を示す

断面図である。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施形態について詳細に説明する。なお、後述する各実施形態において同一の構成要素には同一の符号を付し、重複する説明は省略する。なお、本実施形態の半導体装置は、本出願人が特願 2 0 0 2 - 6 7 9 6 9 号や特願 2 0 0 2 - 1 9 1 0 6 4 号にて提案している、チップ外部との接続のために搭載されている外部接続回路を切り離す技術を採用して、複数の半導体チップ上に形成されているチップ内部回路間を電氣的に直接に接続するとともに、本発明特有の構成である保護回路を、前述のチップ内部回路間を電氣的に直接接続している信号ライン上に設けるようにしている。以下具体的に説明する。

#### ＜第 1 実施形態＞

第 1 図は、本発明を適用した半導体装置の第 1 実施形態を示す平面図である。この図に示す半導体装置 1 は、略方形状の複数（第 1 図では 2 つで示す）の半導体チップ 2 0， 2 2 を支持基板 1 0 上に搭載してなる、いわゆる M C M 型の半導体装置である。

ここで、第 1 の半導体チップ 2 0 は、たとえば信号処理用のロジック回路がチップ内部回路 3 0 として形成されたロジック用の半導体チップである。一方、第 2 の半導体チップ 2 2 は、たとえば 3 2 ビットバスの D R A M（Dynamic RAM）回路がチップ内部回路 3 2 として形成されたメモリ用の半導体チップである。なお、半導体チップ 2 0， 2 2 のチップ内部回路 3 0， 3 2 の構成は、これらに限定されない。

半導体チップ 2 0， 2 2 は、たとえば、支持基板 1 0 上に、回



路形成面を上方に向けた状態でダイボンディングされている。そして、これらの半導体チップ 20, 22 を覆う状態で、支持基板 10 上には、図示を省略した絶縁膜が形成されている。

また、半導体チップ 20, 22 には、それぞれのチップ内部回路 30, 32 から引き出された複数の外部接続回路 40, 42 と、各外部接続回路 40, 42 に接続された電極パッド 50, 52 とが設けられている。

電極パッド 50, 52 は、半導体チップ 20, 22 の機能検査を行なうためのものであり、たとえば第 1 図に示したように、各半導体チップ 20, 22 の外周に沿って配置されている。

一方、半導体チップ 20, 22 間のチップ間接続部 11 には、この電極パッド 50, 52 は設けられていない。そして、電極パッド 50, 52 および外部接続回路 40, 42 を介することなく、チップ内部回路 30, 32 同士を接続エリア 30a, 32a の接続ポイント 56, 58 にて直接に接続配線 12 によって半導体チップ 20, 22 間の接続を取ることにする。なお、“電極パッドおよび外部接続回路を介することなく”とは、“電気信号的にこれらの部材を経由することなく”、という意味である。

チップ間接続部 11 の電極パッド 50, 52 と外部接続回路 40, 42 が、半導体装置 1 完成時には事実上不要となるので、たとえば、チップ間接続部 11 の電極パッド 50, 52 と切離対象の外部接続回路 40, 42 とを物理的に切り離すことで、このチップ間接続部 11 の両者間を近接させるようにしてもよい。この状態を示したのが第 1 図である。

また、チップ間接続部 11 の電極パッド 50, 52 と外部接続回路 40, 42 とを他の 3 辺と同様に物理的には残しつつ、チッ

チップ内部回路 30, 32 との間の配線部分（図示せず）を、たとえばレーザブローまたは R I E（reactive ion etching）などのドライエッチング手段によって電氣的に切り離しておき、その切り離した部分の近傍におけるチップ内部回路 30, 32 側の接続ポイント 56, 58 にて、接続配線 12 により接続するようにしてもよい。

また、チップ間接続部 11 の電極パッド 50, 52 と外部接続回路 40, 42 とを他の 3 辺と同様に物理的には残しつつ、切離対象の外部接続回路 40 a（42 a）とチップ内部回路 30（32）との間に、両者間を電氣的にオンオフ可能な、すなわち電氣的な接続と分離とを切替可能な切替回路（分離回路）を設けるようにしてもよい。この切替回路に対する制御部分の回路構成としては、たとえば外部からの信号によりなされる形態の回路構成としてもよいし、あるいは接続配線 12 によってチップ内部回路 30, 32 が接続された時点で、自動的にこれを検知してチップ間接続部 11 部分の外部接続回路 40, 42 をチップ内部回路 30, 32 に対して電氣的に切り離すような構成としてもよい。

チップ内部回路 30, 32 を直接に接続する接続配線 12 は、たとえば、上述した絶縁膜上にパターンニングによって配設され、この絶縁膜に形成された接続エリア 30 a, 32 a 部分の接続ポイント 56, 58 にて、図示しない接続孔を介して各半導体チップ 20, 22 のチップ内部回路 30, 32 に接続されるようにする。

なお、接続配線 12 が接続される接続エリア 30 a, 32 a 部分は、チップ内部回路 30, 32 を構成する配線（信号線）の一部を電極パッド状に成形してなるか、またはこの信号線に電極パ

ッドを接続させることで、接続に十分な面積を有していることとする。

また、本発明に関わる特有の構成として、接続エリア 30 a, 32 a には、チップに帯電した電荷によるチップ間接続時の静電破壊や、電氣的に接続する際に用いるバンプをチップ表面に形成する際のプラズマダメージから、チップ内部回路 30, 32 に用いる図示しない半導体素子を保護するための保護部材が設けられるようになっている。この点については、後で詳しく説明する。

#### <外部回路と保護付きチップ間接続>

10 第 2 A 図乃至第 2 C 図および第 3 A 図乃至第 3 C 図は、外部接続回路 40, 42 の一構成例と、チップ間接続部 11 におけるチップ内部回路 30, 32 間の接続手法を説明する図である。ここで、第 2 A 図および第 3 A 図は、本発明の一実施形態における手法の一例を示し、第 2 B 図は、特願 2002-67969 号や特  
15 願 2002-191064 号における手法の一例を示す。また、第 2 C 図および第 3 C 図は、チップ間接続部 11 における外部接続回路 40, 42 近傍の変形例を示す。

外部接続回路 40, 42 としては、たとえば、第 2 A 図、第 2 B 図に示すように、I/O（入出力、I ; Input, O ; Output）  
20 回路 400、電源回路 402、さらには静電保護回路（本発明の第 2 の保護回路の一例）404 などによって構成されている。機能検査時には、それぞれの内部配線 14 から個別に外部接続回路 40（42）を経由した引出配線 16 と接続されている電極パッド 50（52）に、チップテストのための針当てがなされる。

25 なお、図では、各外部接続回路 40, 42 に対して電源回路 402 を設けているが、このように、電源回路 402 を外部接続回

路 4 0 , 4 2 ごとに設けるのではなく、所定数分や全ての外部接続回路 4 0 , 4 2 分について、1つの電源回路 4 0 2 を共用する構成としてもよい。

また、第 2 C 図に示すように、各外部接続回路 4 0 ( 4 2 ) および電極パッド 5 0 ( 5 2 ) は、チップ内部回路 3 0 ( 3 2 ) を引き出す複数(図面においては 5 本)の内部配線 1 4 で共有され、それを 1 つの引出配線 1 6 にて電極パッド 5 0 ( 5 2 ) に伝達する構成であってもよい。この場合、外部接続回路 4 0 ( 4 2 ) は、たとえばチップ内部回路 3 0 ( 3 2 ) からの信号を蓄え、直列信号処理をしてチップ外部に信号を送り、また逆の信号処理をして元の信号に復元するという処理を、外部接続回路 4 0 ( 4 2 ) 内の図示しない I / O 回路にて行なう構成とする。

第 2 C 図に示す構成の外部接続回路 4 0 ( 4 2 ) では、チップ内部回路 3 0 ( 3 2 ) からの内部配線 1 4 は、外部接続回路 4 0 ( 4 2 ) に接続され、直列信号処理が外部接続回路 4 0 ( 4 2 ) 内でなされ、内部配線 1 4 の本数よりも少ない数の電極パッド 5 0 ( 5 2 ) に接続されている。また、チップ間接続部 1 1 に関しては、チップ内部回路 3 0 ( 3 2 ) 側からの各内部配線 1 4 が、外部接続回路 4 0 ( 4 2 ) の前段の接続ポイント 5 6 ( 5 8 ) において、他方の半導体チップ 2 0 の接続ポイント 5 8 ( 5 6 ) へも接続されるようになっている。機能検査時には、共用化された電極パッド 5 0 ( 5 2 ) に、チップテストのための針当てがなされる。こうすることで、テスト時に必要な信号線の数よりも少ない電極パッド 5 0 ( 5 2 ) を使って少ないピン数で機能検査を行なうことができる。また、チップ間接続部 1 1 に関しては、チップ内部回路 3 0 ( 3 2 ) 側からの各内部配線 1 4 が、外部接続回

路 4 0 ( 4 2 ) の前段の接続ポイント 5 6 ( 5 8 ) において、他方の半導体チップ 2 0 の接続ポイント 5 8 ( 5 6 ) へも接続されるようになっている。

上記のような構成の外部接続回路 4 0 ( 4 2 ) が、第 1 図に示したように方形状の半導体チップ 2 0 , 2 2 の縁辺に所定数分だけ配される。一方、チップ間接続部 1 1 部分については、チップ内部回路 3 0 ( 3 2 ) 側と外部接続回路 4 0 ( 4 2 ) 側とを、分離ポイント S P 1 ( S P ; Separation Point ) にて電氣的に分離する。

たとえば、チップ内部回路 3 0 ( 3 2 ) 側と外部接続回路 4 0 ( 4 2 ) 側とを接続している内部配線 1 4 を分離ポイント S P 1 で切断し、この分離ポイント S P 1 よりもチップ内部回路 3 0 ( 3 2 ) 側の接続ポイント 5 6 ( 5 8 ) にて、他方のチップ内部回路 3 2 ( 3 0 ) 側の接続ポイント 5 8 ( 5 6 ) と、接続配線 1 2 により接続するようにする。こうすることで、チップ間接続部 1 1 については、チップ内部回路 3 0 , 3 2 を、電極パッド 5 0 , 5 2 および外部接続回路 4 0 , 4 2 を電氣的に經由することなく、接続することができる。

なお、この際には、もはや不要となる外部接続回路 4 0 ( 4 2 ) を、電氣的だけではなく、物理的にも切り離すようにしてもよいし、そのまま残しておいてもよい。物理的には残しておく場合には、分離回路を使用して、信号ラインから電氣的に切り離す手法を用いるとよい。

たとえば、チップ間接続部 1 1 については、第 3 A 図および第 3 B 図に示すように、他方のチップ内部回路 3 2 ( 3 0 ) との間を接続配線 1 2 により接続を取るための接続パッド 5 9 を切離

対象の外部接続回路 40 a (42 a) の近傍に内部配線 14 分だけ設ける。この接続パッド 59 は、他方のチップ内部回路 32 (30) との間の接続を図ることができる程度に微細なものでよく、機能検査用の針当てにも使われる電極パッド 50 (52) に比べると遙かに小さくてよい。

ここで、第 2 C 図に示す外部接続回路 40 の場合には、第 3 C 図に示すように、各内部配線 14 に対応する各接続ポイント 56 (58) を分離の境界線と略平行に半導体チップ 20 側にて列 (一列に限らず数個おきの複数列でもよい) に並ぶようにする。

10 内部配線 14 と接続パッド 59 との間は、接続ポイント 56 (58) からの内部引出線 12 a にて接続する。

そして、チップ内部回路 30, 32 に対する分離対象の外部接続回路 40 a, 42 a や電極パッド 50 a, 52 a の切断位置は、第 2 A 図乃至第 2 C 図に示す回路図の分離ポイント S P 1、すな

15 わちチップ内部回路 30, 32 と外部接続回路 40 a, 42 a との間で、第 3 A 図および第 3 B 図に示したように、チップ内部回路 30, 32 側に接続パッド 59 を残す位置でもある分離ポイント S P 1 上に分離の境界を設けることで実現する。この分離の境界で切断すれば、外部接続回路 40 a (42 a) や電極パッド 5

20 0 a (52 a) が半導体チップ 20 (22) から物理的に切り離される。

以上のような構成の半導体装置 1 においては、入出力 I/O 回路 400、電源回路 402、あるいは静電保護回路 404 について、それぞれ一部 (接続されるチップ間の部分) を半導体チップ

25 20, 22 から切り離し、支持基板 10 上に搭載された半導体チップ 20, 22 間を、外部接続回路 40, 42 を介することなく、

半導体チップ 20, 22 のチップ内部回路 30, 32 部分間において直接接続する構成となっている。

このため、外部接続回路 40, 42 を介して半導体チップ 20, 22 のチップ内部回路 30, 32 間が接続されている半導体装置と比較して、消費電力の大きな回路である外部接続回路 40, 42 の使用を削減することで、外部接続回路 40, 42 での電力消費の低減を図ることができる。また、半導体装置 1 の信頼性の向上を図ることも可能になる。

加えて、外部接続回路 40, 42 (たとえば I/O 回路 400) を介さずに各半導体チップ 20, 22 を電氣的に直接に接続するようにしているので、外部接続回路 40, 42 を介して半導体チップ 20, 22 間を接続することによる動作遅延を防止し、半導体装置 1 の高速動作を達成することが可能になる。

また、半導体チップ 20, 22 間が、外部接続回路 40, 42 を介することなく、半導体チップ 20, 22 のチップ内部回路 30, 32 部分間において直接接続されているというだけでなく、このチップ内部回路 30, 32 部分に余分な外部接続回路が接続されていない。このため、この余分な外部接続回路への電流の流れ込みが防止され、確実に電力消費の低減を図ることができ、また余分な外部接続回路を残すための半導体チップ面積分を縮小でき、半導体装置の小型化を図ることができる。

特に、第 2 C 図を用いて説明したように、外部接続回路 40, 42 が、チップ内部回路 30, 32 を引き出す複数の内部配線 14 で共有される場合、外部接続回路 40, 42 において大きな電力が消費されることになるが、チップ内部回路 30, 32 間の接続部分には、このような外部接続回路 40, 42 が設けられてい

ないため、大幅に電力消費を防止することができる。

ただし、第2B図に示すように、分離ポイントSP1にて外部  
接続回路40、42の切り離しを行ない、チップ間接続の際にチ  
ップ内部回路30、32同士を接続配線12により直接に接続し  
5 た場合にはチップに帯電した電荷による静電破壊が生じ得る。こ  
のため、チップ内部回路30、32に用いる、図示しない半導体  
素子の特性が劣化したり破壊されたりすることがある。

そこで、本実施形態の構成においては、このようなチップに帯  
電した電荷による、チップ間接続時の静電破壊やバンプをチップ  
10 表面に形成する際のプラズマダメージから、チップ内部回路30、  
32に用いる半導体素子を保護するため、これら問題点に対する  
保護部材を、チップ間接続部11とチップ内部回路30、32と  
の間に設けるようにしている。具体的には、第2A図や第3A図、  
第3C図に示すように、半導体チップ20(22)の接続エリア  
15 30a(32a)部分に、ダイオード406aなどからなる静電  
気ダメージを保護する目的の保護回路(本発明の第1の保護回路  
の一例)406を設けている。

保護回路406は、半導体チップ20、22のチップ内部回路  
30、32間を電氣的に直接に接続している信号ライン(接続配  
20 線12、内部引出線12a、内部配線14)上の何れかの位置に  
設けてあればよい。ただし、各チップ内部回路30、32の半導  
体素子を確実に保護するという点では、第3B図に示すように、  
それぞれの半導体チップ20(22)上において、それぞれの接  
続パッド59とチップ内部回路30(32)との間の内部配線1  
25 4や内部引出線12a上に保護回路406を設けるのがよい。

なお、必ずしも好ましい手法といえないが、たとえば中継パッ



ドベースと中継パッドを介することで、一方のチップ内部回路 30 (32) から一旦中継パッドベースへ接続し、さらにこの中継パッドベースから他方のチップ内部回路 32 (30) へと接続するようにしてもよい。この場合の保護回路 406 の配置位置は、  
5 前述と同様に、それぞれの半導体チップ 20 (22) 上において、それぞれの接続パッド 59 とチップ内部回路 30 (32) との間の内部配線 14 や内部引出線 12a 上に設けるのがよい。

また、半導体チップ 20, 22 上の半導体素子を静電気ダメージから保護する能力の観点では、必ずしも十分な態様ではないが、  
10 保護回路 406 を中継パッドベースへ配置するようにしてもよい。このような態様を採ると、共通の半導体チップ 20, 22 を使用していながら、環境条件などによる静電気の発生状況の違いに応じて、適切な保護能力を持つ保護回路 406 を選択して使用できる利点がある。

15 なお、各半導体チップ 20, 22 上のチップ内部回路 30, 32 が備える半導体素子の静電気に対する耐性は同じとは限らないので、たとえば耐性の弱い方にのみ保護回路 406 を設けてもよい。この場合、その耐性は信号ラインごとに異なる場合もあるから、信号ラインごとに耐性の弱い方に、すなわち、ある信号ラ  
20 インについては半導体チップ 20 側に、ある信号ラインについては半導体チップ 22 側に、というようにバラバラに保護回路 406 を配置させてもよい。

保護回路 406 は、半導体チップ 20, 22 双方のチップ内部回路 30, 32 間を直接に接続する際の素子ダメージ（ここでは  
25 特に静電気によるダメージ）を保護することを目的とするものであるから、接続時にその保護機能を達成するに足りるだけの保護

能力を有し、その保護機能が働けばよい。

よって、保護回路 406 の保護能力は、外部機器との接続や機能検査などに使用される外部接続回路 40, 42 内に設けられる静電保護回路 404 の静電保護能力と異なっていてよい。なお、  
5 ここで比較対象となる外部接続回路 40, 42 は、チップ間接続部 11 の半導体チップ 20, 22 から切り離される外部接続回路 40a, 42a であってもよいし、他の辺縁部に設けられている外部接続回路 40, 42 であってもよい。これによって、たとえばより小さい面積の保護回路 406 を備えることで、チップ面積  
10 の縮小化を図りつつ、チップの信頼性や歩留まりの向上に加えて、低コスト化も図ることもできる。

また、同様の理由から、保護回路 406 は、接続工程終了後には不要なものである。また、信号ライン（前例では内部配線 14 や内部引出線 12a）上に保護回路 406 が存在すると、チップ  
15 内部回路 30, 32 にとっては、この保護回路 406 が信号ライン上に配された負荷となるので、むしろない方が好ましい。よって、チップ内部回路 30, 32 間の接続工程終了後には、保護回路 406 を信号ラインから電氣的に切り離すようにするのがよい。たとえば、第 2A 図に示した接続構成では、たとえばレーザ  
20 ブローや RIE などのドライエッチングを利用して、分離ポイント SP2, SP3 にて、内部配線 14 とダイオード 406a とを切り離すのがよい。

このように、チップ間接続部 11 においてチップ内部回路 30, 32 間を電氣的に直接に接続するとともに、その信号ライン上に  
25 保護回路 406 を設けた構成に依れば、外部接続回路 40, 42 の切離しを行なった後に、両者を直接に接続配線 12 によって接

続しても、そのチップ接続時の静電破壊から内部素子を保護することができる。これにより、外部接続回路 40, 42 を切り離す前と同等な素子特性を持つチップ内部回路 30, 32 を得ることができる。よって、低消費電力と高速動作性を備えた MCM 装置  
5 の信頼性や歩留まりを向上させることができる。

#### ＜半導体装置の製造方法＞

第 4 A 図乃至第 4 C 図は、第 1 実施形態の半導体装置 1 の製造方法を説明する図である。第 4 A 図に示すように、半導体チップ 120, 122 を作製する。これらの半導体チップ 120, 122 は、第 1 図を用いて説明した半導体チップ 20, 22 の前身であり、チップ内部回路 30, 32、外部接続回路 40, 42、さらには電極パッド 50, 52 がそれぞれ設けられている。特に、チップ内部回路 30, 32 からは、このチップ内部回路 30, 32 の機能検査を行なうために必要十分な個数の外部接続回路 40, 42 が、その四方に引き出されている。このため、この半導体チップ 120, 122 の外部接続回路 40, 42 の数、および電極パッド 50, 52 の個数は、第 1 図を用いて説明した半導体チップ 20, 22 におけるこれらの個数よりも多くなっている。なお、図中、外部接続回路 40a, 42a および電極パッド 50a, 52a が、後の工程で物理的に切断除去される部分である。  
10  
15  
20

なお、チップ内部回路 30, 32 から引き出された外部接続回路 40, 42 のうち、後の工程で切断除去される部分の外部接続回路 40a, 42a が引き出されるチップ内部回路 30, 32 部分には、図示を省略した電極パッド（第 3 A 図乃至第 3 C 図の接続パッド 59 に対応）が形成されていることとする。この電極パッドは、後の工程で他のチップ間との接続を図ることができる程  
25

度に微細なものでよい。

また、図示を省略するが、この電極パッドと接続されている、半導体チップ 1 2 0 , 1 2 2 上のチップ内部回路 3 0 , 3 2 間の接続信号ライン（第 2 A 図や第 3 A 図乃至第 3 C 図に示した内部配線 1 4 や内部引出線 1 2 a）上には、第 2 A 図や第 3 A 図乃至第 3 C 図に示した保護回路 4 0 6 が設けられているものとする。

次いで、このような各半導体チップ 1 2 0 , 1 2 2 に関し、検査用としても使用可能な電極パッド 5 0 , 5 2 に針当てし、チップ内部回路 3 0 , 3 2 の機能検査を行なう。この際、各半導体チップ 1 2 0 , 1 2 2 は、複数の半導体チップ 1 2 0 が設けられたウエハ状態、および複数の半導体チップ 1 2 2 が設けられたウエハ状態にて機能検査を行なうことが好ましい。

そして、各ウエハに形成された個々の半導体チップ 1 2 0 , 1 2 2 について、良品であるか否かの判断を行ない、その後、各ウエハを裏面側から研削して各半導体チップ 1 2 0 , 1 2 2 に分割し、この機能検査の結果に基づいて良品と判定されたもののみをピックアップする。

なお、以上のような機能検査の後、第 4 B 図に示すように、各半導体チップ 1 2 0 , 1 2 2 における一部の外部接続回路 4 0 a , 4 2 a および電極パッド 5 0 a , 5 2 a が設けられている部分を、ウエハ状態から各チップに分割する際、同時にダイシングにより切断除去する（切り落とす）ことで、半導体チップ 1 2 0 , 1 2 2 を、第 1 図を用いて説明した構成の半導体チップ 2 0 , 2 2 の状態に成形する。

もしくは、切断しなくてもよいように、予め内部接続回路に接続するチップの一辺には、電極パッドや外部接続回路を設けない

ようなレイアウトにして半導体チップ 20, 22 の形態にしておいたチップを用いる。

ここで除去する外部接続回路 40a, 42a および電極パッド 50a, 52a は、次の工程で、他の半導体チップとの接続部分  
5 に設けられた外部接続回路 40, 42 および電極パッド 50, 52 であることとする。なお、チップ内部回路 30, 32 に対する外部接続回路 40a, 42a や電極パッド 50a, 52a の切断位置は、接続パッド 59 を残すような第 3A 図乃至第 3C 図に示した分離の境界である。

10 次に、第 4C 図に示すように、支持基板 10 上に、半導体チップ 120, 122 をダイボンディングする。この際、各半導体チップ 120, 122 の接続部分同士が近接して配置されるようなレイアウトとすることが好ましい。

この後、図示を省略するが、各半導体チップ 120, 122 を  
15 覆う状態で、支持基板 10 上に絶縁膜を形成し、さらにこの絶縁膜に各半導体チップ 120, 122 のチップ内部回路 30, 32 に設けた接続パッドに達する接続孔を形成する。そして、入出力間を接続して保護回路 406 を機能させるとともに、この接続孔を介して各半導体チップ 120, 122 のチップ内部回路 30,  
20 32 を直接接続する状態で、絶縁膜上に配線をパターン形成することにより、第 1 図に示した半導体装置 1 を得る。たとえば、第 3A 図乃至第 3C 図を用いて説明した構成の回路においては、接続パッド 59 に達する接続孔を形成し、各半導体チップ 120, 122 における接続パッド 59 間を接続配線 12 で接続する。

25 そして、チップ内部回路 30, 32 を接続した後には、たとえばレーザブローや RIE などのドライエッチング手法を用いて、

もはや不要な保護回路 4 0 6 を信号ラインから切り離すようにする。

このような製造方法では、必要十分な個数の外部接続回路 4 0 , 4 2 を用いてチップ内部回路 3 0 , 3 2 の機能検査が行なわれた  
5 後に、不必要な外部接続回路 4 0 a , 4 2 a をチップ内部回路 3 0 , 3 2 に対して切り離した状態で、半導体チップ 1 2 0 , 1 2 2 間の接続がチップ内部回路 3 0 , 3 2 間においてなされる。

またこの際には、保護回路 4 0 6 を搭載した状態でチップ内部回路 3 0 , 3 2 間を接続するので、その際に半導体チップ 1 2 0 ,  
10 1 2 2 に帯電している電荷が接続対象の信号ライン上に流れ込んでも、保護回路 4 0 6 により吸収できるので、静電気によって、チップ内部回路に用いる素子の特性が劣化したり破壊されたりすることを防止することができる。また、接続完了後には、保護回路 4 0 6 を信号ラインから切り離すようにすることで、通常使用時に、保護回路 4 0 6 がチップ内部回路 3 0 , 3 2 の負荷となる  
15 ことがなく、保護回路 4 0 6 を設けることに起因した動作速度の低下を防止することができる。

このため、機能検査によって十分な信頼性を保証された半導体チップ 1 2 0 , 1 2 2 を用いつつ、この機能検査の際に用いた外部  
20 接続回路 4 0 a , 4 2 a を介さずに接続パッド 5 9 にて静電気ダメージの問題を起こすことなく、半導体チップ 1 2 0 , 1 2 2 のチップ内部回路 3 0 , 3 2 を接続した半導体装置 1、すなわち電力消費の低減および動作速度の向上が可能であるとともに、信頼性の高い半導体装置を得ることができる。

25 なお、上記では、保護回路 4 0 6 を信号ラインから切り離すことについてのみ述べたが、製造工程においてチップ間接続部 1 1

部分の外部接続回路 40 a, 42 a を物理的に切り離さずに残しておく場合には、この外部接続回路 40 a, 42 a をチップ内部回路 30, 32 側から電氣的に分離する分離回路を設けるようにしてもよい（本出願人による特願 2002-67969 号参照）。

- 5      こうすることで、たとえばチップ内部回路 30, 32 の機能検査時のように外部接続回路 40 a, 42 a を必要とする場合には、これらを接続させることができる一方、外部接続回路 40 a, 42 a を必要としない場合には、外部接続回路 40 a, 42 a を切り離し、不必要な外部接続回路 40 a, 42 a への電流の流れ込みを防止し、電力消費を確実に低減することが可能になる。
- 10

なお、このような分離回路を備えた構成は、第 2 C 図を用いて説明したような、外部接続回路 40 a, 42 a が、複数の内部配線 14 で共有される構成にも適用可能である。この場合、第 3 C 図に示した接続パッド 59 を含む内部回路と外部接続回路 40 a, 42 a との間に分離回路が設けられることになる。

15

### <第 2 実施形態>

- 第 5 A 図乃至第 5 B 図は、本発明を適用した半導体装置の第 2 実施形態を説明する図である。この図は、第 2 実施形態の第 3 A 図乃至第 3 C 図に対応するものである。この第 2 実施形態の半導体装置 1 は、入出力間をオンオフ可能な切替回路を用いて、チップ内部回路 30, 32 間を直接に接続している信号ラインから保護回路 406 を切離可能に構成している点に特徴を有する。半導体チップ 20, 22 としては、切替回路を備えている点が異なるだけであり、半導体装置 1 の平面図は、基本的には、第 1 図に示したものと同じと考えてよい。
- 20
- 25

一方、チップ間接続部 11 部分の回路構成としては、たとえば、

第 5 A 図に示すように、他方の半導体チップ 2 2 ( 2 0 ) のチップ内部回路 3 2 ( 3 0 ) と接続される接続パッド 5 9 と保護回路 4 0 6 との間に、入出力間をオンオフ可能な切替回路 4 0 8 を備えている。この切替回路 4 0 8 は、たとえば外部からの信号 C N  
5 T により、接続パッド 5 9 が接続されている信号ライン（図では内部配線 1 4 や内部引出線 1 2 a）と保護回路 4 0 6 との接続状態を切り換えるスイッチとして設けられているもので、たとえば簡単なアナログスイッチ形式のものであってもよい。

このような切替回路 4 0 8 を備えた構成は、第 2 C 図を用いて  
10 説明したような、外部接続回路 4 0 a , 4 2 a が、複数の内部配線 1 4 で共有される構成にも適用可能である。この場合、第 3 C 図に示した接続パッド 5 9 を含む内部回路と保護回路 4 0 6 との間に切替回路 4 0 8 が設けられる。

このように、第 2 実施形態の半導体装置 1 に依れば、切替回路  
15 4 0 8 によって、チップ内部回路 3 0 , 3 2 を直接に接続している信号ラインと保護回路 4 0 6 との間の電氣的な切り離しが行なわれる。このため、チップ内部回路 3 0 , 3 2 間を接続する際のように保護回路 4 0 6 を必要とする場合には、切替回路 4 0 8 をオンさせて、その入出力間を接続状態とすることで、保護回路  
20 4 0 6 を接続対象（すなわち保護対象）の信号ライン上に接続させることができる。

一方、チップ内部回路 3 0 , 3 2 間を接続し終えた保護回路 4  
0 6 を必要としない時点では、切替回路 4 0 8 をオフさせて、その入出力間を切断状態とすることで、保護回路 4 0 6 を接続対象  
25 （すなわち保護対象）の信号ラインから切り離す。これにより不必要な負荷をチップ内部回路 3 0 , 3 2 に与えることを防止する



ことができ、高速動作の達成を図ることが可能になる。

### ＜第 3 実施形態＞

第 6 A 図乃至第 6 B 図および第 7 A 図乃至第 7 B 図は、本発明を適用した半導体装置の第 3 実施形態を説明する図である。ここで、第 6 A 図は、第 3 実施形態を示す平面図であり、第 6 B 図はこの平面図における A－A 線断面図である。第 7 A 図乃至第 7 B 図は、第 6 A 図の平面図における A－A 線断面の詳細を示した図である。

第 6 A 図乃至第 6 B 図および第 7 A 図に示すように、第 3 実施形態の半導体装置 1 は、半導体チップ 2 0, 2 2 が bumps を利用してフェイスダウン実装されている点に特徴がある。その他の構成は第 1 あるいは第 2 実施形態の構成と概ね同じであり、チップ間接続部 1 1 のチップ内部回路 3 0, 3 2 を直接に接続している信号ライン上には保護回路 4 0 6 が設けられている。この保護回路 4 0 6 は、第 1 あるいは第 2 実施形態と同様に、チップ内部回路 3 0, 3 2 間を直接に接続する際の静電気ダメージから半導体素子を保護する目的の他に、フェイスダウン実装のために使用される突起電極（bump）を所定位置に形成する際のプラズマダメージから半導体素子を保護する目的にも使われる。

なお、ここでは、チップ間接続部 1 1 の外部接続回路 4 0 a, 4 2 a を物理的に切断除去していない形態の半導体チップ 2 0, 2 2 をフェイスダウン実装した場合を代表して例示して説明を行なう。

第 3 実施形態の半導体装置 1 においては、半導体チップ 2 0, 2 2 が、bump の一例である突起電極 5 1 を介して支持基板（ここではインタポーザ）1 0 にフェイスダウン実装されている。こ

- の支持基板 10 は、たとえばシリコン基板 71 上に絶縁膜 72 を介して高密度に配線 73 を形成してなる。また、配線 73 の一部が電極パッド状に形成されおり、これらの電極パッド 73c, 73d 部分のみを露出させて、他の配線 73 を絶縁膜 74 で覆った構成となっている。ここで、電極パッド 73c は、半導体チップ 20, 22 と支持基板 10 との接続を図るための電極パッドである。一方、電極パッド 73d は、支持基板 10 と外部機器との接続を図るための電極パッドであり、たとえば支持基板 10 の周縁部に配置される。
- 10 半導体チップ 20, 22 間の接続は、突起電極 51、および突起電極 51 に接続された支持基板 10 の配線 73 によってなされている。突起電極 51 は、各半導体チップ 20, 22 のチップ内部回路 30, 32 を構成する配線の一部、たとえば図示したような多層配線の、最上層の一部を電極パッド状に成形してなる部分や、第 3A 図乃至第 3C 図に示した接続パッド 59 と、支持基板 10 の電極パッド 73c との間に挟持されている。これにより、I/O 回路などを含む外部接続回路 40, 42 を介することなく、各半導体チップ 20, 22 におけるチップ内部回路 30, 32 間  
15 が直接接続される。
- 20 また、半導体チップ 20, 22 と外部機器との接続を図るために、半導体チップ 20, 22 に設けられた電極パッド 50, 52 も、支持基板 10 側に形成された配線 73 の電極パッド 73c に対して、突起電極 51 を介して接続されている。この電極パッド 50, 52 が接続された配線 73 は、支持基板 10 の周縁に引き  
25 出され、この引き出された配線部分に外部との接続を図るための外部電極パッド 73d が設けられている。

電極パッド 5 0 , 5 2 は、半導体チップ 2 0 , 2 2 のチップ内部回路 3 0 , 3 2 に対して外部接続回路 4 0 , 4 2 を介して接続されており、これにより半導体チップ 2 0 , 2 2 のチップ内部回路 3 0 , 3 2 と、支持基板 1 0 の外部電極パッド 7 3 d とが、外部接続回路 4 0 , 4 2 を介して接続される。

この第 3 実施形態の半導体装置 1 は、外部電極パッド 7 3 d にボンディングワイヤー 7 3 e を接続することで外部機器との接続が図られる。なお、外部電極パッド 7 3 d は、マルチチップ化された半導体装置のテストを行なうためにも用いられる。

10    なお、第 7 B 図に示すように、外部電極パッド 7 3 d に達する外部基板接続用ホール 7 6 が、シリコン基板 7 1 および絶縁膜 7 2 に設けられている形態の支持基板 1 0 を使用することもできる。外部基板接続用ホール 7 6 内には導電性材料からなるプラグ 7 7 が埋め込まれ、プラグ 7 7 の表面（シリコン基板 7 1 側の面）  
15    には、この半導体装置を外部機器に接続するための突起電極 7 8 が設けられている。なお、突起電極 7 8 は、マルチチップ化された半導体装置のテストを行なうためにも用いられる。また、外部電極パッド 7 3 d の表面は、図示したように絶縁膜 7 4 から露出  
20    していてもよいし、絶縁膜 7 4 で覆われていてもよい。

20    第 3 実施形態の半導体装置 1 の製造方法は、以下の通りである。先ず、第 1 実施形態と同様に、内部回路、外部接続回路、さらには接続パッドがそれぞれ形成された各半導体チップを、第 6 A 図乃至第 6 B 図における半導体チップ 2 0 , 2 2 の前身としてウエハ表面に作製し、これらの各半導体チップに関して、各接続パッドに針当てして各内部回路の機能検査を行なう。その後、ウエハ  
25    を、第 6 A 図乃至第 6 B 図に示した各半導体チップ 2 0 , 2 2 に

分割して、機能検査で良品と判断されたもののみをピックアップする。また、後に突起電極 5 1 が形成される部分と接続されている、半導体チップ 2 0 , 2 2 上のチップ内部回路 3 0 , 3 2 間の接続信号ライン（第 2 A 図や第 3 A 図乃至第 3 C 図に示した内部  
5 配線 1 4 や内部引出線 1 2 a）上には、第 2 A 図や第 3 A 図乃至第 3 C 図に示した保護回路 4 0 6 が設けられているものとする。

そして、この半導体チップ 2 0 , 2 2 において、保護回路 4 0 6 を信号ライン上に設けた状態で、チップ内部回路 3 0 , 3 2 との接続状態が保たれている電極パッド 5 0 , 5 2 上、および他の  
10 半導体チップとの接続部分となるチップ内部回路 3 0 , 3 2 部分上に、突起電極 5 1 を形成する。突起電極 5 1 の形成は、半導体チップ 2 0 , 2 2 を分割する前のウエハ状態で行なうとよい。また、突起電極 5 1 の形成は、半導体チップ 2 0 , 2 2 側ではなく、支持基板 1 0 側であってもよい。もしくは、半導体チップ 2 0 ,  
15 2 2 および支持基板 1 0 の双方に形成してもよい。

ここで、保護回路 4 0 6 を信号ライン上に設けた状態とは、保護回路 4 0 6 を機能させた状態を意味し、半導体チップ 2 0 , 2 2 が信号ラインと保護回路 4 0 6 との間に切替回路 4 0 8 を備えている場合には、その入出力間を接続した状態である。以下同様  
20 である。

この後、保護回路 4 0 6 を信号ライン上に設けた状態で、配線 7 3、および電極パッド 7 3 c , 7 3 d が形成された支持基板 1 0 上に、チップ内部回路 3 0 , 3 2 形成面を対向させて半導体チップ 2 0 , 2 2 を実装する。この際、支持基板 1 0 の配線 7 3、  
25 および突起電極 5 1 を介して、半導体チップ 2 0 , 2 2 のチップ内部回路 3 0 , 3 2 間が直接接続されるようにする。これにより、

半導体装置 1 を完成させる。

第 3 実施形態のような構成の半導体装置 1 およびその製造方法であっても、支持基板 10 側の配線 73 によって、半導体チップ 20, 22 のチップ内部回路 30, 32 間が直接接続されるため、上述した第 1 や第 2 実施形態と同様に、機能検査によって十分な信頼性を保証された半導体チップ 20, 22 を用いつつ、電力消費の低減および高速動作の向上が可能な半導体装置を得ることができる。

加えて、バンプの一例である突起電極 51 が形成される信号ライン上には保護回路 406 を設けておくようにしているので、バンプ（本例では突起電極 51）をチップ表面に形成する際のプラズマ電流が突起電極 51 形成対象の信号ライン上に流れ込んでも、保護回路 406 により吸収できるので、プラズマ電流によって、チップ内部回路に用いる素子の特性が劣化したり破壊されたりすることを防止することができる。

また、保護回路 406 を信号ライン上に設けた状態で、突起電極 51 と支持基板 10 の配線 73 とを接続させて半導体チップ 20, 22 のチップ内部回路 30, 32 間を電氣的に直接に接続するので、その際に半導体チップ 20, 22 に帯電している電荷が接続対象の信号ライン上に流れ込んでも、保護回路 406 により吸収できるので、静電気によって、チップ内部回路に用いる素子の特性が劣化したり破壊されたりすることを防止することができる。

また、接続完了後、すなわちフェイスダウン実装完了後は、保護回路 406 を信号ラインから切り離すようにすることで、通常使用時に、保護回路 406 がチップ内部回路 30, 32 の負荷と

なることもない。これにより不必要な負荷をチップ内部回路 30, 32 に与えることを防止することができ、高速動作の達成を図ることが可能になる。

また、第 3 実施形態の半導体装置 1 において、支持基板 10 に  
5 シリコン基板 71 を用いた場合には、支持基板 10 側への高密度な配線 73 の形成が可能となり、半導体チップ 20, 22 間を最短距離で接続することができる。よって、さらなる信号遅延の防止と高速化が可能になる。さらに、支持基板 10 および半導体チップ 20, 22 の両方がシリコン基板を用いたものである場合、  
10 これらの膨張係数が等しいため、熱ストレスに起因する接合部（突起電極 51 による）の断線を防止できる。また、有機基板と比較して熱伝導率の高いシリコン基板を支持基板 10 として用いることで、チップ内部回路 30, 32 の駆動によって半導体チップ 20, 22 が発熱しても、この熱をより早く放熱することが  
15 可能であるため、発熱に起因する動作不良を防止することもできる。

#### <第 4 実施形態>

第 8 図は、本発明を適用した半導体装置の第 4 実施形態を示す断面図である。この第 4 実施形態の半導体装置 1 は、半導体チップ 20, 22 同士をフェイスダウン実装している点に特徴を有す  
20 る。その他の構成は第 1 あるいは第 2 実施形態の構成と同じであり、チップ間接続部 11 のチップ内部回路 30, 32 を直接に接続している信号ライン上には保護回路 406 が設けられている。

この保護回路 406 は、第 3 実施形態と同様の目的のもので、  
25 チップ内部回路 30, 32 間を直接に接続する際の静電気ダメージから半導体素子を保護する目的の他に、フェイスダウン実装の

ために使用される突起電極（バンプ）を所定位置に形成する際のプラズマダメージから半導体素子を保護する目的にも使われる。

第 8 図に示すように、第 4 実施形態の半導体装置 1 は、半導体チップ 20 が半導体チップ 22 に対する支持基板となり、半導体  
5 チップ 22 が半導体チップ 20 に対する支持基板となっており、  
これらが突起電極 51 を介してフェイスダウン実装されている。

半導体チップ 20 は、たとえばチップ内部回路 30 のみで構成されており、突起電極 51 と接続されるチップ内部回路 30 部分は、このチップ内部回路 30 を構成する配線 81 の一部（たとえば図示した多層配線における最上層の一部）を電極パッド状に形  
10 成してなり、これにより接続に十分な面積を有していることとする。

一方、半導体チップ 22 は、チップ内部回路 32 と、この内部回路から引き出された複数の外部接続回路 42、各外部接続回路  
15 42 に接続された電極パッドを備えている。このうち、チップ内部回路 32 を構成する配線 91 の一部（たとえば図示した多層配線における最上層の一部）は電極パッド状に形成され、この部分において突起電極 51 を介して半導体チップ 20 との接続がなされている。各外部接続回路 42 に接続された電極パッド 92 は、  
20 これらの半導体チップ 20、22 が搭載された半導体装置と、外部機器との接続を図るためのものであり、半導体チップ 22 の外周側に配置されている。

以上のように、第 4 実施形態の半導体装置 1 は、各半導体チップ 20、22 のチップ内部回路 30、32 を構成する配線 81、  
25 91 の一部（たとえば図示したような多層配線の最上層の一部）を電極パッド状に成形してなる部分間に突起電極 51 を挟持す

ることにより、I/O回路などを含む外部接続回路を介することなく、半導体チップ20、22のチップ内部回路30、32同士が直接接続される。

第4実施形態の半導体装置1の製造方法は、以下の通りである。

- 5  まず、第1実施形態と同様に、内部回路、外部接続回路、さらには電極パッドがそれぞれ形成された各半導体チップを、第8図における半導体チップ20、22の前身としてウエハ表面に作製し、これらの各半導体チップに関して、各電極パッドに針当てして各内部回路の機能検査を行なう。その後、ウエハを、第8図に示した各半導体チップ20、22に分割して、機能検査で良品と判断
- 10  されたもののみをピックアップする。

- ウエハを各半導体チップ20、22に分割する場合には、ウエハ表面に形成された半導体チップの必要部分を残し、他の部分を切断除去する。たとえば、半導体チップ20の前身となる半導体
- 15  チップからは、外部接続回路および電極パッドを切断除去し、チップ内部回路30のみからなる半導体チップ20を得る。また、半導体チップ22の前身となる半導体チップからは、チップ内部回路32と必要部の外部接続回路42およびこれに接続された電極パッド92のみを残して他の部分を切断除去して半導体チ
- 20  ップ22を得る。

  もしくは、切断しなくてもよいように、予め内部接続回路に接続するチップの一辺には、電極パッドや外部接続回路を設けないようなレイアウトにして半導体チップ20、22の形態にしておいたチップを用いる。

- 25  そして、この半導体チップ20（または半導体チップ22）において、保護回路406を信号ライン上に設けた状態で、チップ



内部回路 30（またはチップ内部回路 32）を構成する配線を電極パッド状とした部分上に突起電極 51 を形成する。なお、突起電極 51 の形成は、半導体チップ 20, 22 を分割する前のウエハ状態で行なうとよい。

- 5      この後、保護回路 406 を信号ライン上に設けた状態で、半導体チップ 20 と半導体チップ 22 とをチップ内部回路 30, 32 形成面を対向させて配置し、突起電極 51 を介して半導体チップ 22 上に半導体チップ 20 を実装する。この際、突起電極 51 を介して、半導体チップ 20, 22 のチップ内部回路 30, 32 間  
10      が直接接続されるようにする。これにより、半導体装置 1 を完成させる。

第 4 実施形態のような構成の半導体装置およびその製造方法であっても、半導体チップ 20, 22 のチップ内部回路 30, 32 間が、I/O 回路などを含む外部接続回路を介することなく直接  
15      接続されるため、上述した第 1 ～ 第 3 実施形態と同様に、機能検査によって十分な信頼性を保証された半導体チップ 20, 22 を用いつつ、電力消費の低減および高速動作の向上が可能な半導体装置を得ることができる。

また、第 4 実施形態に依れば、半導体チップ 20（または半導  
20      体チップ 22）を支持基板として用いていることで、いわゆるインタポーザを必要としないため、インタポーザ用のコストが掛からない低コストな MCM の実現が可能である。

加えて、パンプの一例である突起電極 51 が形成される信号ライン上には保護回路 406 を設けておくようにしているので、パ  
25      ンプ（本例では突起電極 51）をチップ表面に形成する際のプラズマ電流が突起電極 51 形成対象の信号ライン上に流れ込んで

も、保護回路 406 により吸収できるので、プラズマ電流によって、チップ内部回路に用いる素子の特性が劣化したり破壊されたりすることを防止することができる。

また、保護回路 406 を信号ライン上に設けた状態で、突起電極 51 を介して半導体チップ 22 上に半導体チップ 20 を実装することで、半導体チップ 20, 22 のチップ内部回路 30, 32 間を電氣的に直接に接続するので、その際に半導体チップ 20, 22 に帯電している電荷が接続対象の信号ライン上に流れ込んでも、保護回路 406 により吸収できるので、静電気によって、チップ内部回路に用いる素子の特性が劣化したり破壊されたりすることを防止することができる。

また、接続完了後、すなわちフェイスダウン実装完了後は、保護回路 406 を信号ラインから切り離すようにすることで、通常使用時に、保護回路 406 がチップ内部回路 30, 32 の負荷となることもない。これにより不必要な負荷をチップ内部回路 30, 32 に与えることを防止することができ、高速動作の達成を図ることが可能になる。

なお、第 4 実施形態においては、1 つの半導体チップ 22 に対して 1 つの半導体チップ 20 を対向配置する構成を例示したがこれに限定されることはない。たとえば、半導体チップ 22 を支持基板として、これに複数の半導体チップ 20 を実装した構成や、この逆の構成であってもよく、1 つの半導体チップに実装する複数の半導体チップは異なる機能または同一機能の内部回路が設けられたものであってよい。

以上説明したように、本発明の半導体装置に依れば、チップ内部回路部分において直接的に半導体チップ間の接続を図ること

により、外部接続回路での電力消費を防止しつつ、当該外部接続回路を介することによる半導体チップ間での動作遅延を防止することが可能になり、MCM型の半導体装置における高速動作および低消費電力化を達成することが可能になる。

- 5       また、チップ内部回路間を直接に接続する信号ラインと保護回路との間に切替回路を設けておくことで、デバイス製造時にはその入出力間を接続状態にしてチップ内部回路間を直接に接続したりあるいはバンプを形成することで、静電気ダメージやプラズマダメージから回路素子を保護することができる。また、デバイス製造完了後には、切替回路の入出力間を切断状態にすることで、  
10       この保護回路がチップ内部回路の付加となることを回避し、これによって高速動作の達成を図ることができる。

- また、本発明の半導体装置の製造方法に依れば、チップ内部回路間を直接に接続する信号ライン上に保護回路を設けた状態で、  
15       接続対象部分にバンプを形成する工程を設けたり、あるいは必要十分な外部接続回路を用いて内部回路の機能検査を行なった後、チップ内部回路間を直接に接続する信号ライン上に保護回路を設けた状態で、内部回路部分間において直接的に半導体チップ間の接続を行なう工程を設けるようにした。これにより、十分な信  
20       頼性を保証された半導体チップを用いつつ、所望の低消費電力化、高速化を達成すると同時に、MCMの信頼性向上と歩留まりの向上が可能になる半導体装置が得られる。

- また、半導体チップが、保護回路を信号ラインから分離可能な切替回路を備えていない場合であっても、デバイス製造完了後に、  
25       レーザブローやRIEなどのドライエッチングを利用して保護回路を信号ラインから電氣的に分離することで、この保護回路が

チップ内部回路の付加となることを回避し、これによって高速動作の達成を図ることができる。

## 請求の範囲

1. 半導体素子にて構成された、少なくとも内部回路が形成されている半導体チップを、複数個備えて構成されている半導体装置であって、

前記複数の半導体チップのそれぞれに形成されている前記内部回路同士を接続する信号ラインが電氣的に直接に接続されているとともに、

前記内部回路同士を接続する信号ラインの、前記接続に関わるダメージから前記半導体素子を防止するための第1の保護回路が設けられている

ことを特徴とする半導体装置。

2. 前記第1の保護回路は、前記複数の半導体チップのうち少なくとも一方のチップ上における、他方の前記内部回路との接続部分と当該半導体チップ上の前記内部回路との間の信号ライン上に配置されている

ことを特徴とする請求の範囲第1項に記載の半導体装置。

3. 前記第1の保護回路は、前記複数の半導体チップの何れのチップ上において、それぞれ前記他方の内部回路との接続部分と当該半導体チップ上の前記内部回路との間の信号ライン上に配置されている

ことを特徴とする請求の範囲第2項に記載の半導体装置。

4. 前記半導体チップには、前記信号ラインと電氣的に接続され、当該信号ラインの信号を外部機器に伝達するとともに、当該接続に関わるダメージから前記半導体素子を防止するための第2の保護回路を具備した外部接続回路が形成されており、

前記第 1 の保護回路は、前記第 2 の保護回路とは別に、前記内部回路同士を接続する信号ライン上に設けられる

ことを特徴とする請求の範囲第 1 項に記載の半導体装置。

- 5 5. 前記半導体チップには、前記信号ラインと電氣的に接続され、当該信号ラインの信号を外部機器に伝達するとともに、当該接続に関わるダメージから前記半導体素子を防止するための第 2 の保護回路を具備した外部接続回路が形成されており、

前記保護回路の前記ダメージに対する保護能力は、前記外部接続回路が備える、前記第 2 の保護回路の保護能力と異なる

- 10 ことを特徴とする請求の範囲第 1 項に記載の半導体装置。

6. 前記第 1 の保護回路を構成する回路部材の少なくとも一部の前記信号ラインに対する電氣的な接続と切断とを切替可能な切替回路を備えていることを特徴とする請求の範囲第 1 項に記載の半導体装置。

- 15 7. 半導体素子にて構成された、少なくとも内部回路が形成されている半導体チップを、複数個備えて構成されている半導体装置を製造する方法であって、

前記内部回路と、他方の半導体チップ上の前記内部回路との間での電氣的かつ直接的な接続に関わるダメージから当該内部回路内の半導体素子を防止するための保護回路とが形成された前記複数の半導体チップについて、前記保護回路を機能させた状態で、前記複数の半導体チップの各内部回路間を、電氣的に直接に接続する接続工程

を備えることを特徴とする半導体装置の製造方法。

- 25 8. 半導体素子にて構成された、少なくとも内部回路が形成されている半導体チップを、複数個備えて構成されている半導体装

置を製造する方法であって、

前記内部回路と、他方の半導体チップ上の前記内部回路との間での電気的かつ直接的な接続に関わるダメージから当該内部回路内の半導体素子を防止するための保護回路とが形成された前記複数の半導体チップについて、前記保護回路を機能させた状態で、前記複数の半導体チップの各内部回路間を電気的に直接に接続するための突起電極を形成する電極形成工程

を備えることを特徴とする半導体装置の製造方法。

9. 前記保護回路を機能させた状態で、前記電極形成工程によって形成された前記突起電極を用いて、前記複数の半導体チップの各内部回路間を電気的に直接に接続する接続工程を備えることを特徴とする請求の範囲第8項に記載の半導体装置の製造方法。

10. 前記接続工程の前に、前記複数の半導体チップについて、当該半導体チップごとに前記内部回路の機能検査を行なう検査工程を備えることを特徴とする請求の範囲第7項または9項に記載の半導体装置の製造方法。

11. 前記半導体チップには、前記内部回路からの信号ラインと電気的に接続され、当該信号ラインの信号を外部機器に伝達する外部接続回路が形成されており、

前記検査工程と前記接続工程との間に、前記内部回路同士を直接に接続する対象となる信号ラインに対して設けられた前記外部接続回路の少なくとも一部を電気的に分離する分離工程

をさらに備えたことを特徴とする請求の範囲第10項に記載の半導体装置の製造方法。

12. 前記検査工程を、前記半導体チップ上に形成された前記

外部接続回路を介して行なうことを特徴とする請求の範囲第 10 項に記載の半導体装置の製造方法。

13. 前記接続工程の後、前記保護回路を構成する回路部材の少なくとも一部を、前記内部回路同士を直接に接続している信号
- 5 ラインから電氣的に分離する分離工程をさらに備えることを特徴とする請求の範囲第 7 項に記載の半導体装置の製造方法。



## 補正書の請求の範囲

[2005年1月06日(06.01.2005)国際事務局受理 : 出願当初の請求の範囲4-11は補正された; 出願当初の請求の範囲1-3及び13は取り下げられた; 他の請求の範囲は変更なし。(4頁)]

1. (削除)
2. (削除)
- 5 3. (削除)
4. (補正後) 半導体素子にて構成された、少なくとも内部回路が形成されている半導体チップを複数個備えて構成されている半導体装置であって、

前記複数個の半導体チップのそれぞれに形成されている前記
- 10 内部回路同士を接続する信号ラインが電氣的に直接に接続されているとともに、

前記内部回路同士を接続する信号ラインの、前記接続に関わるダメージから前記半導体素子を保護するための第1の保護回路が設けられており、
- 15 前記半導体チップには、前記信号ラインと電氣的に接続され、当該信号ラインの信号を外部機器に伝達するとともに、当該接続に関わるダメージから前記半導体素子を保護するための第2の保護回路を具備した外部接続回路が形成されている

ことを特徴とする半導体装置。

5. (補正後) 前記第1の保護回路の前記ダメージに対する保護能力は、前記外部接続回路が備える、前記第2の保護回路の保護能力とは異なる

5      ことを特徴とする請求の範囲第4項に記載の半導体装置。

6. (補正後) 前記第1の保護回路を構成する回路部材の一部が、前記信号ラインに対する電氣的な接続と切断とを切り替え可能な切替回路を備えている

ことを特徴とする請求の範囲第4項に記載の半導体装置。

10    7. (補正後) 半導体素子にて構成された、少なくとも内部回路が形成されている半導体チップを複数個備えて構成されている半導体装置を製造する方法であって、

前記複数個の半導体チップのそれぞれに形成されている前記内部回路同士を電氣的に直接に接続することに関わるダメージ  
15    から前記半導体素子を保護するための第1の保護回路が設けられた前記複数個の半導体チップについて、前記保護回路を機能させた状態で、前記複数個の半導体チップの各内部回路間を、電氣的に直接に接続する接続工程を備える

ことを特徴とする半導体装置の製造方法。

20    8. (補正後) 半導体素子にて構成された、少なくとも内部回路が形成されている半導体チップを複数個備えて構成されている半導体装

置を製造する方法であって、

前記複数個の半導体チップのそれぞれに形成されている前記内部回路同士を電氣的に直接に接続することに関わるダメージから前記半導体素子を保護するための第 1 の保護回路が設けられた前記複数個の半導体チップについて、前記保護回路を機能させた状態で、前記複数個の半導体チップの各内部回路間を、電氣的に直接に接続するための突起電極を形成する電極形成工程を備えることを特徴とする半導体装置の製造方法。

9. (補正後) 前記第 1 の保護回路を機能させた状態で、前記電極形成工程によって形成された前記突起電極を用いて、前記複数個の半導体チップの各内部回路間を電氣的に直接に接続する接続工程を備えることを特徴とする請求の範囲第 8 項に記載の半導体装置の製造方法。

10. (補正後) 前記接続工程の前に、前記複数個の半導体チップについて、当該半導体チップごとに前記内部回路の機能検査を行なう検査工程を備えることを特徴とする請求の範囲第 7 項または 9 項に記載の半導体装置の製造方法。

11. (補正後) 前記半導体チップには、前記内部回路からの信号ラインに電氣的に接続され、当該信号ラインの信号を外部機器に伝達する外部接続回路が形成されており、

前記検査工程と前記接続工程との間に、前記内部回路同士を直接に接続する対象となる信号ラインに対して設けられた前記外部接続回路の少なくとも一部を電氣的に分離する分離工程

をさらに備えたことを特徴とする請求の範囲第 10 項に記載の半導体装置の製造方法。

12. 前記検査工程を、前記半導体チップ上に形成された前記

外部接続回路を介して行なうことを特徴とする請求の範囲第10項に記載の半導体装置の製造方法。

13. (削除)

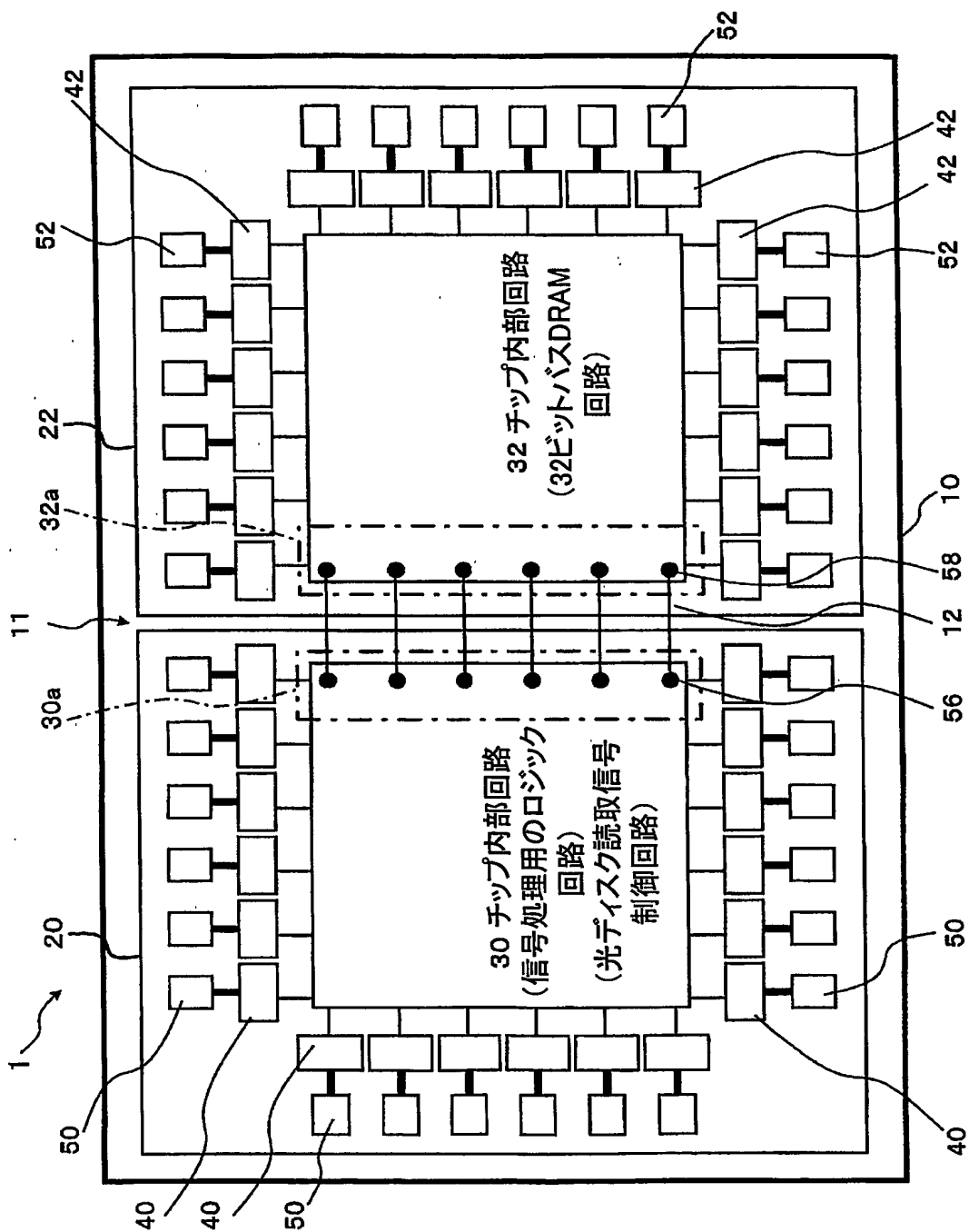


Fig.1

Fig.2A

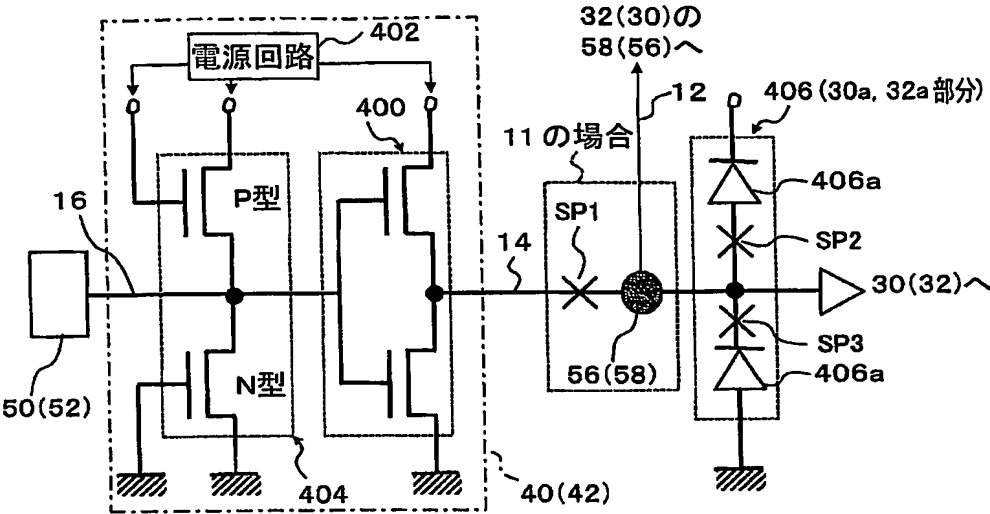


Fig.2B

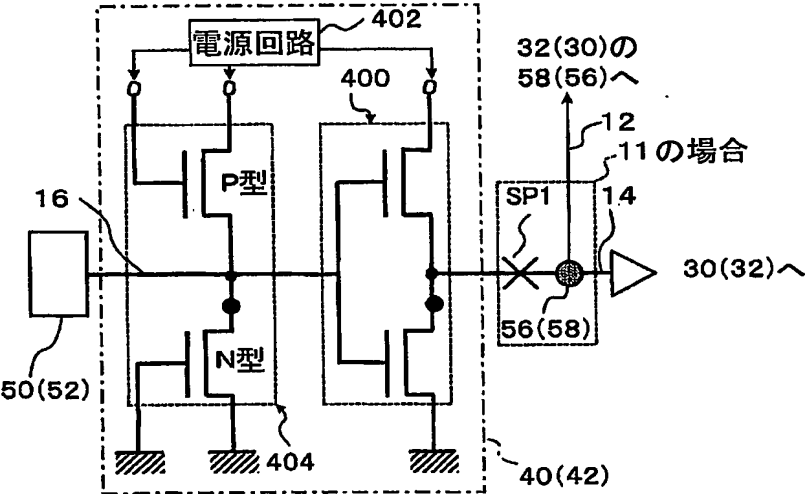
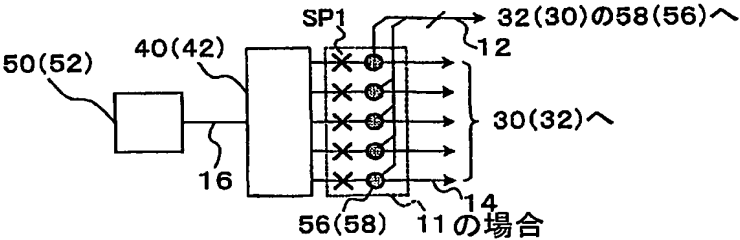


Fig.2C



3/8

Fig.3A

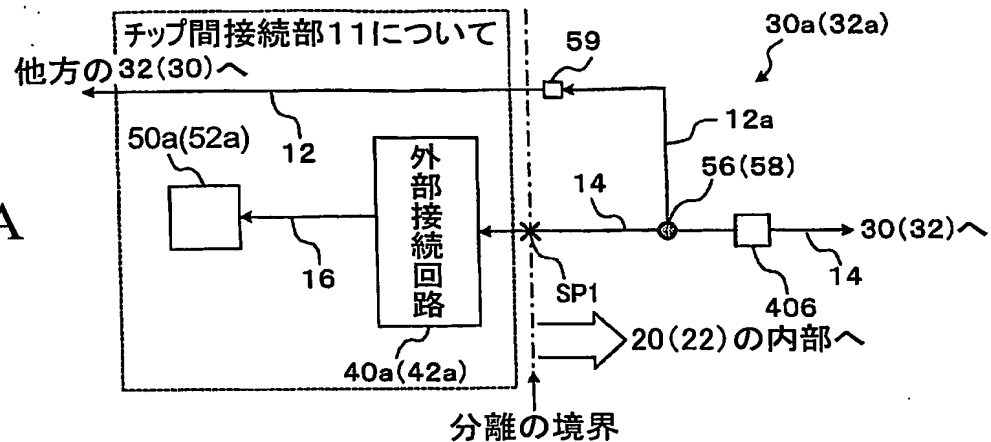


Fig.3B

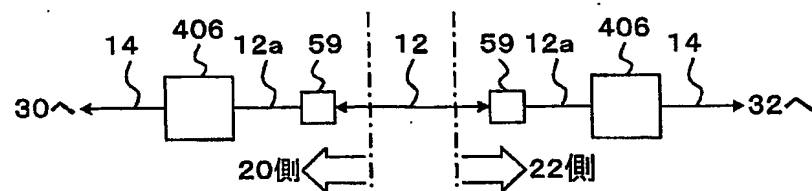
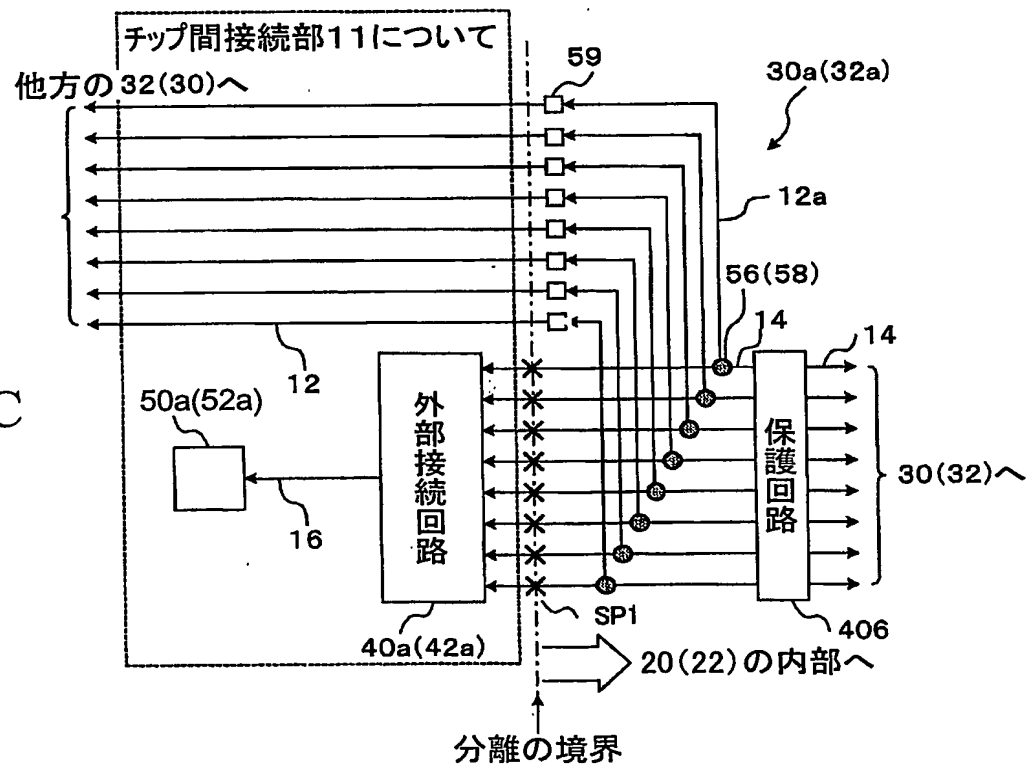


Fig.3C



4/8

Fig.4A

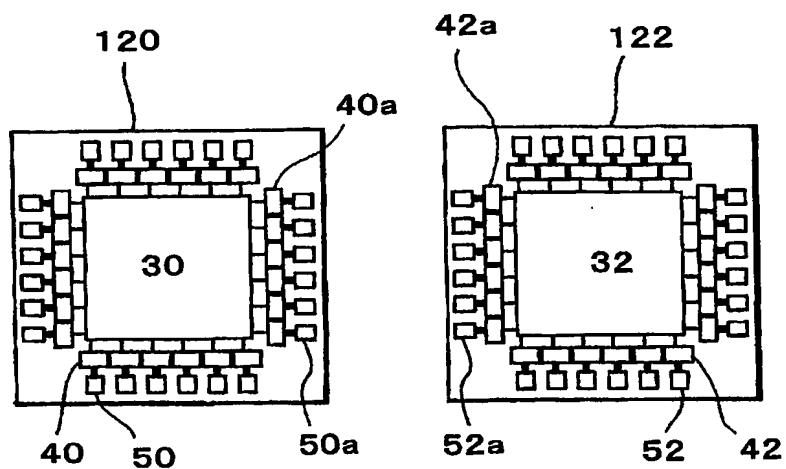


Fig.4B

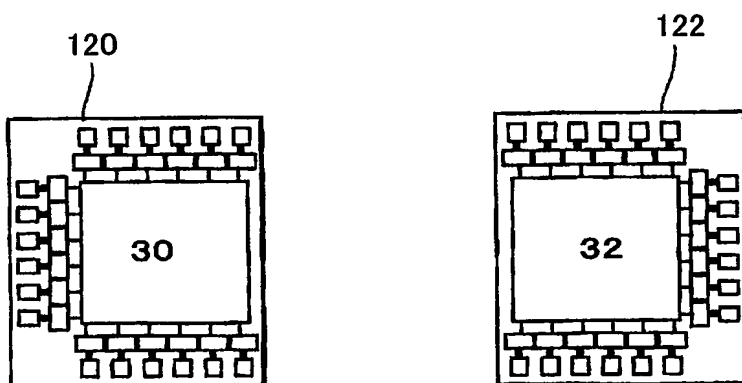


Fig.4C

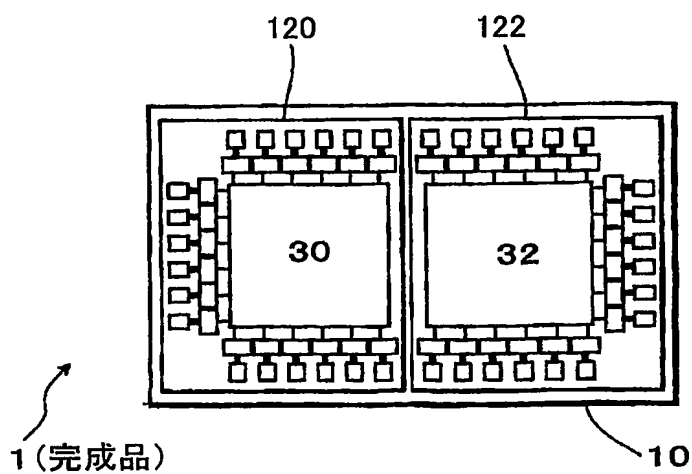




Fig.5A

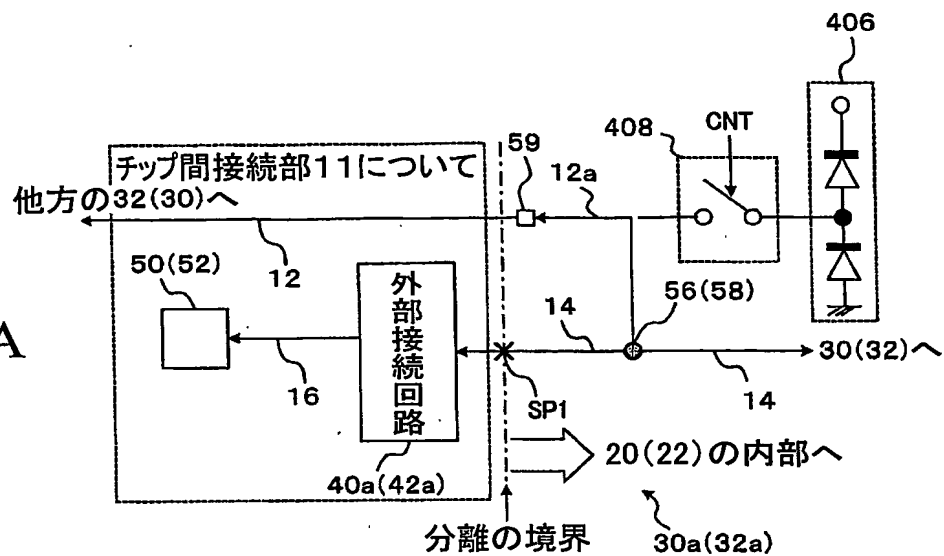
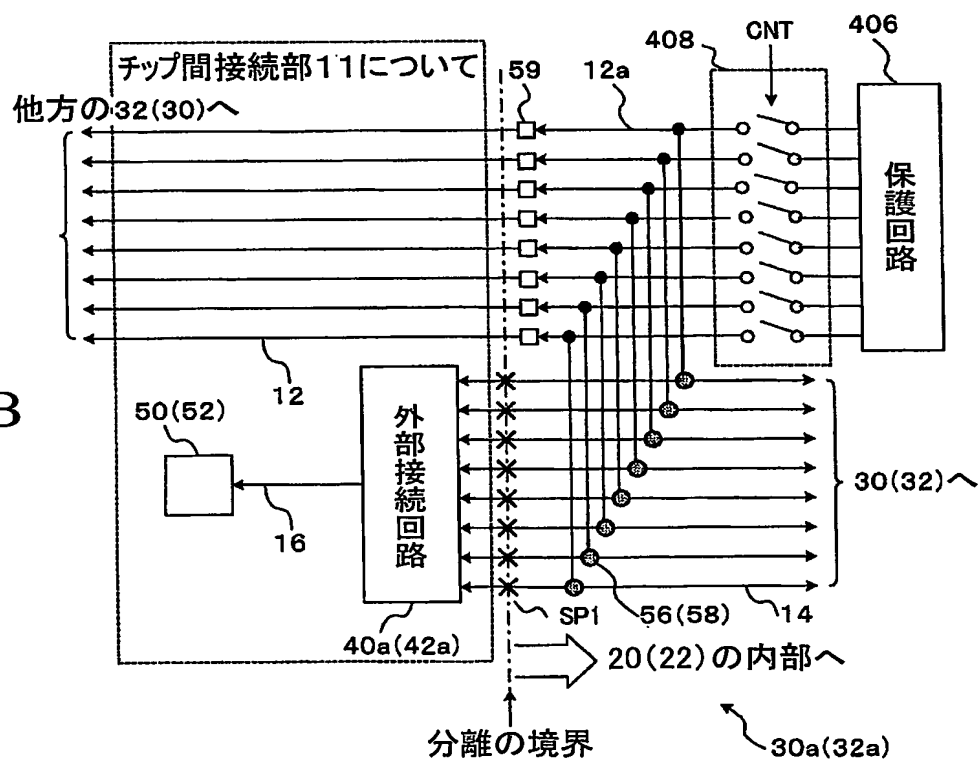


Fig.5B



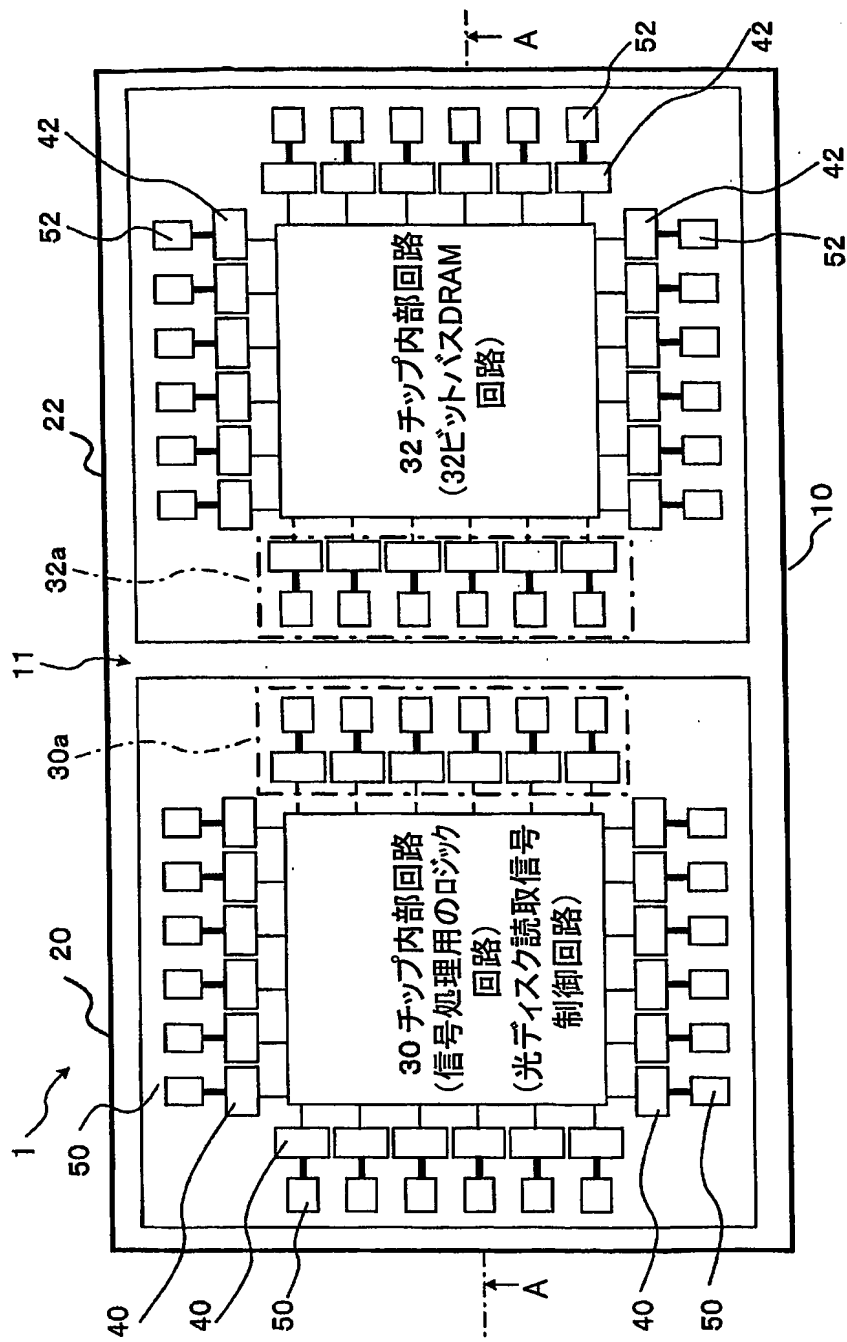


Fig. 6A

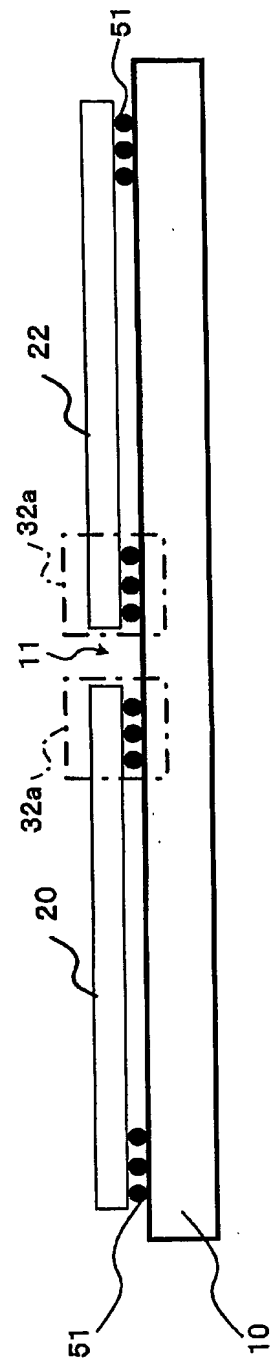


Fig. 6B

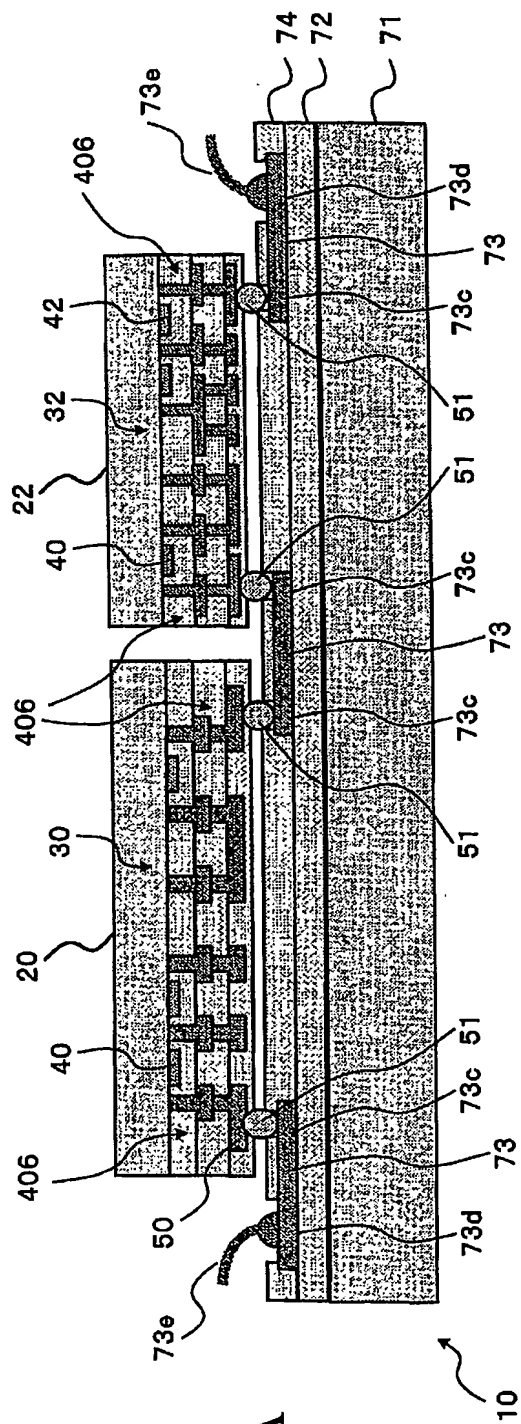


Fig. 7A

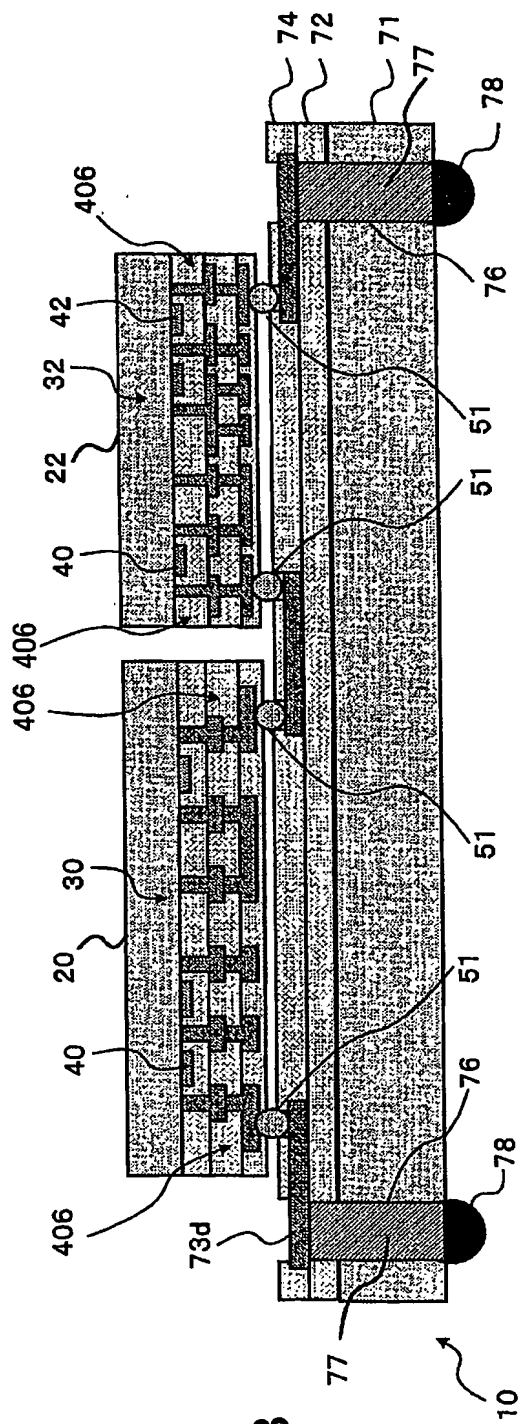


Fig. 7B

8/8

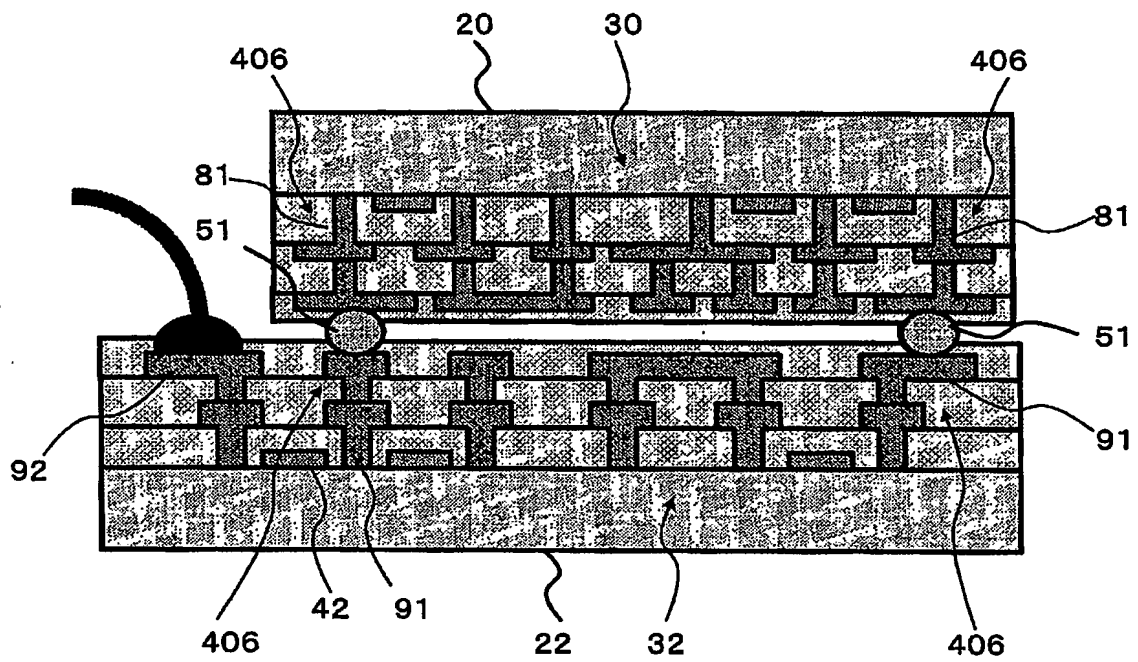


Fig.8

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011806

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L23/12, H01L25/04, H01L23/52, H01L27/04

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L23/12, H01L25/04, H01L23/52, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-332202 A (NEC Corp.), 30 November, 2000 (30.11.00), Full text; Figs. 1 to 4 (Family: none)	1-3, 7, 8 4-6, 9-13
Y	JP 2001-274315 A (Sony Corp.), 05 October, 2001 (05.10.01), Full text; Figs. 1 to 7 & US 2002/0004257 A1 Full text; Figs. 1 to 7	4-6
Y	JP 11-505374 A (Sarnoff Corp.), 18 May, 1999 (18.05.99), Full text; Figs. 1 to 7 & US 5548135 A Full text; Figs. 1 to 7 & WO 96/36988 A2 & EP 826243 A	4-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
11 November, 2004 (11.11.04)

Date of mailing of the international search report  
30 November, 2004 (30.11.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011806

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-99283 A (Hitachi, Ltd.), 11 April, 1995 (11.04.95), Full text; Figs. 1 to 19 & US 5832595 A Full text; Figs. 1 to 19	6, 10-13
Y	JP 8-167703 A (Matsushita Electric Industrial Co., Ltd.), 25 June, 1996 (25.06.96), Full text; Figs. 1 to 22 & EP 707316 A2 Full text; Figs. 1 to 22 & CN 1127428 A & US 5838603 A & US 6064585 A & EP 1154434 A1 & EP 1376593 A	9

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L23/12, H01L25/04, H01L23/52, H01L27/04

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L23/12, H01L25/04, H01L23/52, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2000-332202 A (日本電気株式会社) 2000. 11. 30, 全文, 第1-4図 (ファミリーなし)	1-3, 7, 8 4-6, 9-13
Y	JP 2001-274315 A (ソニー株式会社) 2001. 10. 05, 全文, 第1-7図 & US 2002/0004257 A1, 全文, 第1-7図	4-6

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技术水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

11. 11. 2004

国際調査報告の発送日

30.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
大嶋 洋一

4 L 9170

電話番号 03-3581-1101 内線 6764

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-505374 A (サーノフ コーポレイション) 1999. 05. 18, 全文, 第1-7図 & US 5548135 A, 全文, 第1-7図 & WO 96/36988 A2 & EP 826243 A	4-6
Y	JP 7-99283 A (株式会社日立製作所) 1995. 04. 11, 全文, 第1-19図 & US 5832595 A, 全文, 第1-19図	6, 10-13
Y	JP 8-167703 A (松下電器産業株式会社) 1996. 06. 25, 全文, 第1-22図 & EP 707316 A2, 全文, 第1-22図 & CN 1127428 A & US 5838603 A & US 6064585 A & EP 1154434 A1 & EP 1376593 A	9